

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-232780

(43)Date of publication of application : 28.09.1988

(51)Int.Cl.

H04N 9/09

H04N 5/335

(21)Application number : 62-066373

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.03.1987

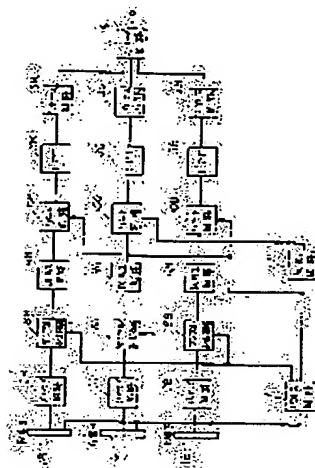
(72)Inventor : CHO HIDEO
SUGANO HIROSHI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To eliminate a delaying circuit by providing a sample-and-hold circuit, a DC reproducing circuit, a gate circuit, a low pass filter, a process circuit and an encoder circuit at the rear step of a preamplifier circuit.

CONSTITUTION: R, G and B signal outputs of solid-state image pickup elements 1R, 1G and 1B are inputted and amplified to preamplifier circuits 2R, 2G and 2B. The R, G and B signal outputs of the preamplifier circuits 2R, 2G and 2B are sampled and held by a sampling pulse C at sample-and-hold circuits 8R, 8G and 8B and further, a G signal only is delayed and gated by $\tau/2$ only. Then, a sampling period is also shortened to $1/2$. As the result, it is not necessary to use a conventional delaying circuit and simultaneously, the response characteristic of a high area can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭63-232780

⑪ Int.Cl.⁴

H 04 N 9/09
5/335

識別記号

庁内整理番号

A-8321-5C
Z-8420-5C

⑬ 公開 昭和63年(1988)9月28日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 固体撮像装置

⑮ 特 願 昭62-66373

⑯ 出 願 昭62(1987)3月20日

⑰ 発 明 者 長 秀 雄 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑱ 発 明 者 菅 野 宏 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

固体撮像装置

2、特許請求の範囲

複数個の固体撮像素子の各素子出力を別々に増幅する増幅手段の後に、各増幅手段からの出力を別々にサンプルホールドするサンプルホールド回路と、各サンプルホールド回路出力を別々に一定のDCに固定するためのDC再生回路と、各DC再生回路出力を別々にかつそのうちの特定出力のみのタイミングをずらして前記固体撮像素子の水平クロックの1クロックサイクル内でゲートするゲート回路とを設け、各ゲート回路出力を低域通過フィルタ回路を介してエンコーダ入力としたことを特徴とする固体撮像装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、例えばCCD(電荷結合素子)などの半導体素子を固体撮像素子として、これを複数個使用し、高解像度化を図った固体撮像装置に関

する。

従来の技術

従来、複数個の固体撮像素子を使用した固体撮像装置は、第3図に示すような構成から成り、高解像度化を図る手段として、一般的に第4図に示すような“画素ずらし法”を適用している。

すなわち、第3図において、1R、1G、1Bはそれぞれ赤色(R)用、緑色(G)用、青色(B)用の固体撮像素子であり、これら固体撮像素子1R、1G、1Bは、第4図に示す如く、1Gの固体撮像素子に対して1R及び1Bの固体撮像素子が $\tau/2$ (τ は水平走査の1画素配列ピッチで、CCDにあってはクロックパルスの周期に対応する)だけずらして配列されている。

2R、2G、2Bは、それぞれR、G、Bの信号処理を行うアンプ回路であり、3R、3G、3Bは、それぞれベースバンドを通過させるR信号、G信号及びB信号用の低域通過フィルタ回路(LPF)であり、4はG信号の位相をR信号及びB信号の位相に合わせるための $\tau/2$ の遅

特開昭63-232780 (2)

延回路であり、5R、5G、5Bは、それぞれR、G、B信号の信号処理を行うプロセス回路であり、6はR、G、B信号に基づくカラーの合成出力を生成するカラーエンコーダ回路であり、7は固体撮像素子1R、1G、1Bへ印加するパルスのパルス発生回路である。

次に上記構成より成る従来装置についてその動作を説明する。

固体撮像素子1R、1G、1Bの出力は、プリアンプ回路2R、2G、2Bで増幅され、L、P、F3R、3G、3Bにより $1c(1/r)$ 以下の周波数成分に帯域制限され、G信号のみ遅延回路4を通り、他のR信号及びB信号はそのままプロセス回路5R、5G、5Bでガンマ補正等の信号処理が行われ、エンコーダ回路6でカラーの合成信号に変換される。

ここに、前記エンコーダ回路6内の輝度信号Yのマトリックスは、低域成分をYL、高域成分をYHとすると、

$$Y L = 0.59 G + 0.3 R + 0.11 B$$

延回路が必要となる。

また、固体撮像素子の出力は、第6図(a)、(b)に示すように、リセット期間に比べ信号成分が長く、第7図に示すように、サンプリングパルス幅が広がることにより周波数特性が悪化している。つまり、固体撮像素子の出力は、周波数特性が高域で低下している。換言するに、高域のレスポンス特性が悪化しているということになる。

尚、上記レスポンス特性を $R(i)$ とすると、 $R(i)$ は、以下のように表わすことができる。

$$R(i) = \frac{1 - \pi \Delta r}{1 - \pi \Delta r} \cdot \frac{1 - \pi \Delta r}{1 - \pi \Delta r}$$

ここに、 i は周波数、 Δr は第7図に示すように、サンプリングのオーバーチャ時間である。第7図から明らかな如く、 Δr が小さい程、つまりオーバーチャ時間が小さい程、高域のレスポンス特性が改善される。

$$Y H = 0.5 G + 0.5 (R + B)$$

となるように構成されている。

ところで、第5図(a)、(b)に示すよう、G信号のみでは $1c(1/r)$ を中心とした偽信号が発生しており、 $1c$ までの成分の再現は難しくなる。

ところが、第4図のように1Gに対して1R及び1Bを半ビッチ、つまり $r/2$ ずらして配置し、空間サンプリングを行っているため、第5図(b)のように、G信号に対してR信号及びB信号の偽信号の位相が逆位相となる。その結果、前記輝度信号Yの高域成分YHは、偽信号がキャンセルされる $1c$ まで再現が可能となる。

発明が解決しようとする問題点

しかしながら、上記従来の固体撮像装置では、G信号の位相をR信号およびB信号の位相に合わせるための遅延回路が必要であり、特にその遅延量の変化が偽信号の高域成分のキャンセルに大きく寄与するため、高解像度化を図るためには、精度の高い遅延時間を一定に保持し得る高精度な遅

延回路が必要となる。本発明は、上述したような事情に鑑みて偽されたもので、本発明の目的とするところは、遅延回路の使用を避け、かつ高域レスポンス特性の改善を図った固体撮像装置を提供することにある。

問題点を解決するための手段

本発明は、上記目的を達成するために、複数の固体撮像素子の各出力を増幅するプリアンプ回路の後段に、サンプルホールド回路、DC再生回路及び水平クロック内でG信号とR及びB信号をゲートするゲート回路を設け、そのゲート回路の出力を低域通過フィルタ回路を介してプロセス回路よりエンコーダ回路へ入力するようにしたものである。

作用

本発明は上記構成により、次のような作用・効果を有する。

すなわち、①、従来装置において使用していた高精度な遅延回路は、本発明装置ではその使用を省略することができる。

②、第2図において、aは固体撮像素子のリセ

特開昭63-232780 (3)

ットパルス、bはR・G・B 3チャンネルのアリアンプ回路の出力（固体撮像素子の出力は反転しているがアリアンプ回路の出力は正相になる）で、このアリアンプ回路の出力bが、サンプルパルスcを有するサンプルホールド回路を通過すると、サンプルホールド回路（R・G・B）の出力は第2図dのようになる。

次に、ゲートパルスeによりR・G・B信号のサンプルホールド回路の出力dをゲートする。この場合、負でR・B信号は通過し、G信号は遮断され、また正でR・B信号は遮断され、G信号は通過する。

その結果、R・B信号はゲート回路の出力fのように、またG信号はゲート回路の出力gのようにゲートされ、G信号がR・B信号より $\tau/2$ だけ正確に遅延される。しかも、それぞれのサンプリング信号のオーバーチャージ時間（サンプル期間）も $1/2$ と短くなる。つまりサンプルパルス幅が狭くなる。このことから、高域のレスポンス特性も改善されることになる。

加するようにし、その際、前記ゲートパルスをG信号のゲート回路10Gへ印加する場合のみ、反転回路11を介して印加するように構成したりえて、L・P・F 3Gとプロセス回路5Gとの間から、従来配設されていた遅延回路4（第3図参照）を取り除いた点にある。

その他の点は、第3図と同一につき、同一符号を付して示し、その詳細は省略する。

このように構成された装置において、固体撮像素子1R・1G・1BのR・G・B信号出力はアリアンプ回路2R・2G・2Bに入力され増幅される。アリアンプ回路2R・2G・2BのR・G・B信号出力は、サンプルホールド回路8R・8G・8Bでサンプリングパルスc（第2図参照）によって、第2図dの如くサンプルホールドされ、更に、第2図f・gの如く、G信号のみが $\tau/2$ だけ遅延せしめられて、ゲートされる。その場合、サンプル期間も $1/2$ に短くなる。

その結果、従来の如き遅延回路を使用する必要がなくなり、同時に、高域のレスポンス特性の改

実施例

第1図は、本発明の一実施例である固体撮像素子の概略構成を示すブロック図である。

第1図において、第3図と異なる点は、アリアンプ回路2R・2G・2Bと低域通過フィルタ回路（L・P・F）3R・3G・3Bとの間に、アリアンプ回路2R・2G・2B出力（第2図b参照）をサンプルホールドするサンプルホールド回路8R・8G・8Bと、そのサンプルホールド回路8R・8G・8B出力（第2図d参照）を一定のDCに固定する、つまり映像信号のDCを固定するためのDC再生回路9R・9G・9Bと、水平1クロック内でG信号とR及びB信号をゲートするためのゲート回路10G・10R・10Bを設け、それぞれの固体撮像素子1R・1G・1Bへリセットパルス（第2図a参照）を印加するパルス発生回路7から、サンプリングパルス（第2図c参照）をサンプルホールド回路8R・8G・8Bへ印加すると共に、ゲートパルス（第2図e参照）をゲート回路10R・10G・10Bへ印

加をも可能になった。

また、DC再生回路9R・9G・9Bはゲート回路10R・10G・10B出力（第2図f・g参照）の信号のない部分を固定し、これを信号成分のないところと一致させることにより、極力ゲート回路10R・10G・10Bよりクロック成分が発生するのを抑えるものである。

尚、第1図のゲート回路10R・10G・10Bでは、1クロック成分の $1/2$ を通過させたが、これを更に小さくすれば高域のレスポンス特性は更に改善できる（但し、固体撮像素子の水平方向の開口幅により上限がある）。

また、固体撮像素子1Gのずれ方向が第4図に示す方向とは逆の場合には、当然1クロック内でゲートするタイミングも、第2図に示す関係とは逆になる。つまり、同図ではR及びB信号が先で、G信号の切り替えが後になっているが、これが反転することになる。

発明の効果

本発明は上記実施例より明らかなように、例え

特開昭63-232780 (4)

ばCCDなどの半導体素子を固体撮像素子とした複数個の各素子出力を別々にサンプルホールドするサンプルホールド回路と、そのサンプルホールド回路出力を別々に一定のDCに固定するためのDC再生回路と、前記固体撮像素子の水平クロックの1クロックサイクル内で前記各DC再生回路出力を別々にかつそのうちの特定出力(例えばG信号)のみのタイミングをずらしてゲートするゲート回路とを設けたものであるから、従来のような遅延回路の使用が不要となるほか、サンプルパルス幅を狭くすることができるための高域のレスポンス特性も改善することができる。

4. 図面の簡単な説明

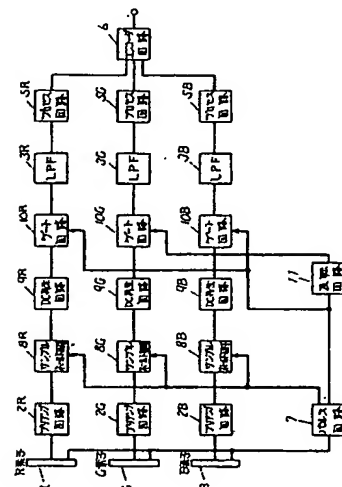
第1図は本発明の一実施例である固体撮像装置の概略構成を示すブロック図、第2図は第1図の各回路のタイミングチャート、第3図は従来の固体撮像装置の概略構成を示すブロック図、第4図は画素ずらし法を適用した固体撮像素子の配置図、第5図(a)は固体撮像素子出力の信号と偽信号の成分図、同図(b)は同じく偽信号の位相図、

第6図(a)は固体撮像素子のリセットパルスを示す波形図、同図(b)は固体撮像素子の出力波形図、第7図はサンプリングパルス幅とレスポンス特性との関係を説明するための線図である。

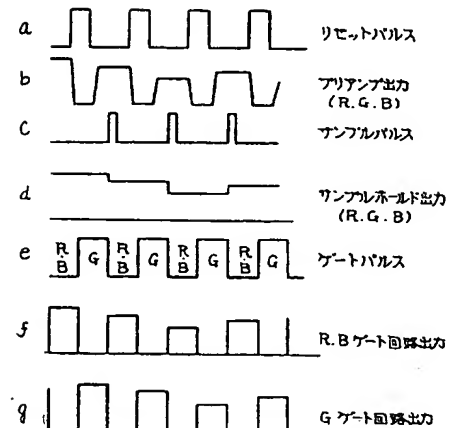
1R、1G、1B……赤色用、緑色用、青色用の固体撮像素子、2R、2G、2B……同様のプリアンプ回路、3R、3G、3B……同様の定域通過フィルタ回路(L.P.F)、5R、5G、5B……同様のプロセス回路、6……エンコード回路、7……パルス発生回路、8R、8G、8B……同様のサンプルホールド回路、9R、9G、9B……同様のDC再生回路、10R、10G、10B……同様のゲート回路、11……反転回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

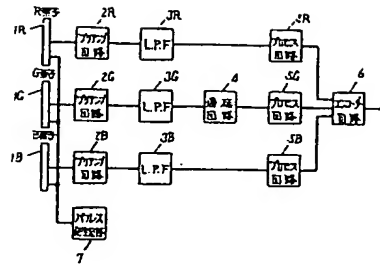
1R、1G、1B …… 赤色用、緑色用、青色用の固体撮像素子



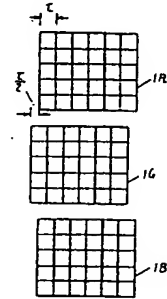
第2図



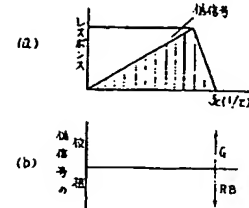
第 3 図



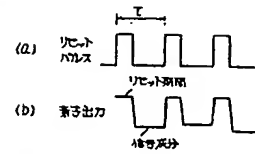
第 4 図



第 5 図



第 6 図



第 7 図

